

文章编号:1007-2780(2012)04-0563-06

空间相机图像压缩模拟源的设计与实现

朱 鹏^{1,2}, 金龙旭^{1*}, 李国宁¹, 李 进^{1,2}, 赵运隆¹

(1. 中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033, E-mail: zhup062787@126.com;
2. 中国科学院 研究生院, 北京 100049)

摘 要: 为了解决在 CCD 与地面实时压缩系统对接时造成的时间和物力的浪费, 提高地面实时压缩系统测试效率, 文章设计了一种图像压缩模拟源系统, 可以模拟 CCD 相机输出, 来代替 CCD 相机与地面实时压缩系统进行对接。该系统采用 FPGA 实现模拟源的时序与逻辑控制, 利用内部逻辑生成自校图像, 或通过 USB2.0 总线接口与 PC 机进行数据通信, 将模拟源图像通过缓存 SDRAM 下载到 FLASH 中。采用同步串行 LVDS 接口, 高速 Gbps 接口和 Camera Link 接口, 实现数据与压缩存储单元的高速传输。实验表明, 该图像压缩模拟源从 USB 接口下载速度达 40 Mbyte/s, 在与以上 3 种接口传输数据时, 无误码和数据丢失, 该系统稳定可靠。

关 键 词: 图像压缩模拟源; USB2.0; FLASH; SDRAM; 自校图形

中图分类号: TN431.2; TP391 **文献标识码:** A **DOI:** 10.3788/YJYXS20122704.0563

Design and Realization of Simulative Image Compression Resource System of Space Camera

ZHU Peng^{1,2}, JIN Long-xu^{1*}, LI Guo-ning¹, LI Jin^{1,2}, ZHAO Yun-long¹

(1. Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences,
Changchun 130033, China, E-mail: zhup062787@126.com;
2. Graduate University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: In order to resolve the problem which is the large cost of time and material resources when the ground real-time compression storage unit needs connect to the CCD camera, and improve the efficiency of the testing the ground real-time compression storage system, the image simulator system is designed and uses FPGA to realize the timing and logic control. The data is communicated between the USB 2.0 bus interface and the PC, and downloaded to FLASH. Meanwhile the self-check figure created by FPGA also simulates CCD output. And in order to make sure the high-speed transmission between data and space camera real-time compression storage unit, the system uses synchronous serial LVDS interface and high-speed Gbps interface and Camera Link interface. The result proves that the speed of data download comes to 40 Mbyte/s from USB interface, and there's no fault and lose when data transmitted between synchronous serial LVDS interface and high-speed Gbit/s interface. So the system is stable and reliable.

Key words: image simulation resource; USB2.0; FLASH; SDRAM; self-check figure

收稿日期: 2012-02-17; 修订日期: 2012-05-02

基金项目: 国家 863 计划(No. 863-2-5-1-13B)

作者简介: 朱鹏(1987—), 男, 河南商丘人, 硕士研究生, 主要从事相机控制系统研究。

* 通讯联系人, E-mail: jinlx@ciomp.ac.cn

1 引 言

空间相机传输的大量数据需要地面实时压缩系统进行压缩处理,所以地面压缩系统是空间相机很重要的组成部分,地面压缩设备在测试时需要与 CCD 相机进行对接,在与庞大的相机系统对接时,会浪费大量时间和物力,给工作人员带来很多不必要麻烦。图像压缩模拟源在空间相机研制过程中是一个不可或缺的系统。可以模拟 CCD 相机数据输出,为地面压缩检测系统提供硬件支持^[1-2]。在设计时,输出参数由 FPGA 主控芯片控制,软件编程即可改变图像输出行速率、图像帧大小等参数,可以方便地模拟不同相机的任务要求。图像模拟源的图像源在系统中不可或缺。可以模拟 CCD 相机,可以是标准遥感图像也可以是 FPGA 生成的自检灰度图像,在对地检设备进行测试时,可以任意灵活选择。本文就对图像压缩模拟源提出并实现了一种设计方案。

2 设计方案

为模拟某型号空间相机,图像压缩模拟源要求提供 20 个图像输出通道,每个通道 4 096 个有效像元,量化位数 10 bit,最大行频为 1.3 kHz,最大输出数据率为 1 015 Mbyte/s。其中图像压缩模拟源数据输出的行速率、大小和时间、图像帧大小可以调整。按照上述要求,设计思路如图 1 所示,上位机将模拟源图像经过 USB 总线接口给 FPGA,同时发送 CCD 控制各项参数及命令。FPGA 将图像数据经过 SDRAM 控制器缓存至 SDRAM 中,进而下载到 FLASH 中。在发送图像数据时,读取 FLASH 数据缓冲至 SDRAM 中,按照接收到的 CCD 参数及指令,由 FPGA 对图像输出行频或图像大小进行调整发送。或由 FPGA 内部逻辑直接生成自校图像,通过同步串行 LVDS 接口、CameraLink 接口和高速串行 Gbps 接口传输给地面压缩存储系统。

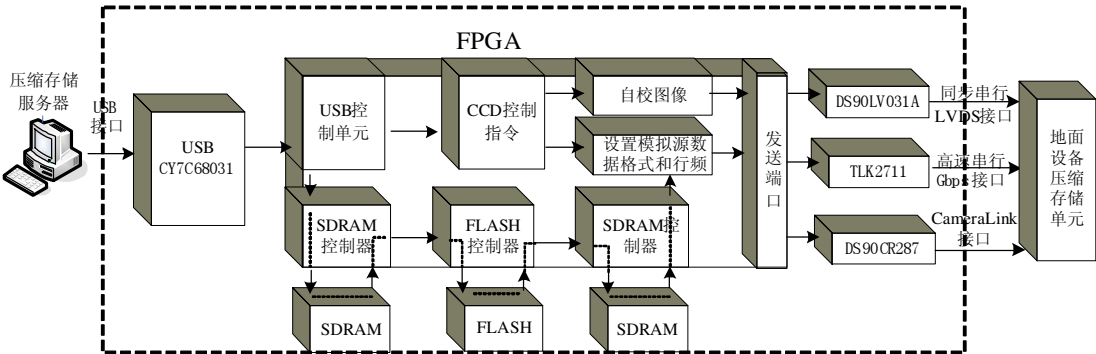


图 1 图像压缩模拟源设计方案

Fig. 1 Design of simulative image compression resource system

3 硬件设计

3.1 USB 接口电路

USB 是一种新的外部总线标准,广泛用于 PC 领域接口技术,支持热插拔,操作方便。USB 高速传输达 60 Mbyte/s,在传输一幅 10 位标准遥感图像 4 096(H)×2 048(V)时只需 1.3 s。本文 USB 芯片连接外部 E2PROM 装载固件程序。在传输图像数据时采用批量传输,这种传输方式适用于传输大容量且对传输时间和速率均无要求的数据。另外该芯片的传输端点具有量子 FIFO 结构,无须 CPU 参与数据高速传输。在设计固件程序时同步从属 FIFO 方式,EP2 为 out 端点,

EP6 为 in 端点,端点采用 4 重 512 字节缓冲^[3-4]。接口芯片与 FPGA 接口方式如图 2 所示。

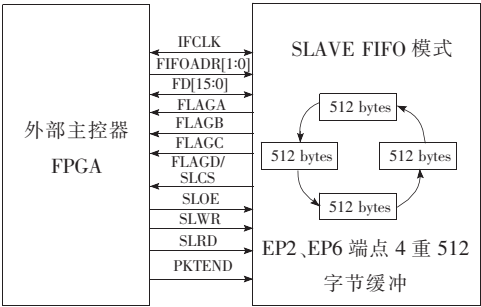


图 2 FPGA 与 EZ-USB 芯片接口连接

Fig. 2 Interface connect between FPGA and EZ-USB

接口时钟 IFCLK 选用 CY7C68031 内部 48 MHz 时钟, FPGA 选用该时钟控制 USB 芯片数据接收。FIFOADR [1:0] 选择哪个端点从 FD 数据总线输出, 例如 FIFOADR [1:0] = 00; 则选择 EP2 端点。FLAGA/B/C/D 标志着 FIFO 端点的存储状态是满/空。SLOE 引脚使能数据总线 FD, SLRD 和 SLWR 为读写使能。PKTEND 则是外部信号中断数据包, 以满足传输短数据包。其工作时序如图 3 所示。

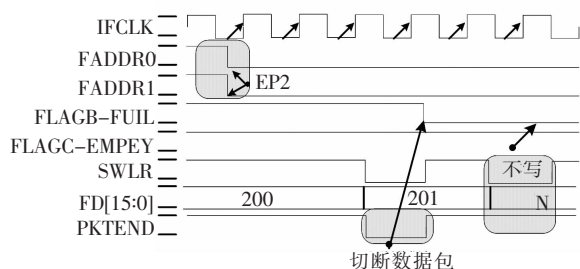


图3 同步从属 FIFO 写时序

Fig. 3 Timing for synchronous slave FIFO writing

图 3 中选择 EP2 端点, FLAGB 和 FLAGC 是 EP2 的空满状态, 当 PKTEND 拉低, SWLR 即使写使能, USB 总线上没有数据。

3.2 存储单元及发送接口设计

图像模拟源在 20 个图像输出通道下, 最大输出速率 1 015 Mbit/s, 在 1.3K 行频输出 1 min 则需要 $20 \times 4\,096 \times 1\,300 \times 16 \times 60 = 12\text{G} \times 8$ bit 容量, 为了存储大容量数据, 选用三星公司 K9WAG08U1A^[5], 单片存储容量为 $(2\text{G} + 64\text{M}) \times 8$ bit。在应用时选用 8 片 K9WAG08U1A, 总存储容量 16 GB。

FLASH 一次读写 25 ns 左右, 而 USB 在高速模式下传输速度为 480 Mbit/s, 为了实现各种接口的速度匹配及操作方便, 采用 SDRAM 进行数据缓存。选用 MICRON 公司 MT48LCM16A2^[6-7] 为图像数据缓存, Camera link 接口是常用 CCD 相机接口, 为了满足 1 015 Mbit/s 的输出数据率, 选用目前速度最快的 DS90CR287/DS90CR288A 芯片组, Camera Link 接口只用作输出接口, 所以只采用 DS90CR287, 该芯片支持 20~85 MHz 的时钟变化, 最大输出速率 $85\text{M} \times 28 \text{ bits} = 2.38$ Gbit/s, 满足传输速度要求^[8]。本文只用到 FVAL 和 LVAL 信号。当 FVAL 和 LVAL 都为高电平时, 图像数据在像素时钟信号 PIX CLK

的控制下依次发送。

高速串行 Gbps 接口芯片采用 TI 公司的 Gbit 串行收发器 TLK2711, 该芯片负责 TTL 并行数据与高速串行之间的相互转换。内部主要集成时钟合成与恢复单元、并/串和串/并转换单元、自动 8B/10B 编码/解码单元、自动 Comma 检测单元等。并且接收端内部集成 50 欧终端匹配电阻。该芯片适用于超高速双向点对点数据传输系统。参考时钟 85~135 MHz 内, 在 100 MHz 使用可以达到 2.0 Gbit/s 的串行速率, 满足工作要求^[9-10]。

LVDS 即低压差分信号, 具有很高的传输速率同时具有很低的功耗。另外还有低噪声、高噪声抑制能力、可靠的信号传输等优点。由于 FPGA 为 LVCMOS/LV1TRL 电平, 需将 COMS/TTL 电平转化为 LVDS。选用 DS90LV031A 电平转化芯片, 该芯片可接受低电压的 TTL/CMOS 电平信号, 工作频率 200 MHz 下, 最低可达到 400 Mbit/s 的转换速率^[11]。使用时要求每路同步串行 LVDS 接口信号传输速率为 55 Mbit/s, 采用 20 片 DS90LV031A, 20 路 LVDS 传输速率 1 100 Mbps。

4 程序设计

4.1 USB 固件程序

在进行 USB 调试时, 使用 Cypress 提供的固件程序框架, 则可大大简化开发时间, 框架结构如图 4 所示。首先框架初始化内部状态变量, 之后调用用户初始化函数 TD_Init(), 该函数返回后, 框架初始化 USB 接口的未配置状态并使其中断; 然后每隔 1 s 进行一次设备重枚举, 直到端点 0 接收到一个 SETUP 包。一旦检测到 SETUP 包, 框架将开始交互任务调度。

其步骤第一步: 任务调度需要调用用户函数 TD_Poll(), 此函数有用户填写。第二步: 根据标志位判断是否处理标准设备请求, 同时分析该请求并发出响应。第三步: 对 USB 内核中的挂起信号做出响应。如果收到有效地挂起信号, 则调用用户函数 TD_Suspend(), 成功调用该函数(返回值为 TRUE)后, 再检测是否发生 USB 唤醒事件。如果未检测到 USB 唤醒事件, 则此时处理器进入挂起状态; 如果检测到 USB 唤醒事件, 则调用用户函数 TD_Resume(), 程序继续运行。如果

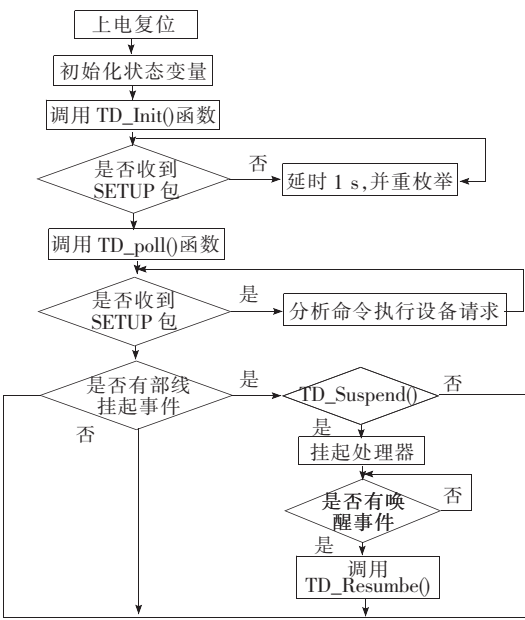


图 4 USB 固件框架流程图

Fig. 4 USB firmware framework flow chart

调用用户函数 TD_Suspend 发生错误,则原程序继续运行。

需要用户编写的是初始化函数 TD_Init(), 其部分代码如下:

```
TD_Init()
{
    CPUCS=0x10;
    IFCONFIG=0xE3;
    REVCTL=0x03;
    EP2CFG=0xA0;
    EP6CFG = 0xE0;
    .....
    PINFLAGSAB = 0x98;
    PINFLAGSCD = 0xFE;
    PORTACFG |= 0x80;
    FIFOPINPOLAR = 0x00;
    EP2FIFOCFG = 0x00;
    EP2FIFOCFG = 0x11;
    EP6FIFOCFG = 0x4D;
    OEA |= 0x03;
    IOA &= ~0x03;
}
```

每条指令间省略了延迟指令 SYNCDELAY。

4.2 FPGA 程序设计

上位机通过 USB 传输 CCD 命令,其中包括

图像输出行频的改变和图像大小的调整。当载入一幅图像时,FPGA 记录图像的信息。COUNT_X 和 COUNT_Y 分别记录图像的行和列。在改变行频输出时,改变像素时钟 clkin。像素时钟 clkin 由系统时钟 clk 分频得到。分频系数由上位机确定。FPGA 程序采用 Verilog,主要程序如下:

```
always@(posedge clkin or negedge reset)
if(! reset)
begin
countx<=16'h0;
county<=16'h0;
xen<=1'b0;
end
else if(memory_en==1'b1&&.len==1'b1)
begin
figure_data<=memory_data;
countx<=countx+1'b1;
xen<=1'b0;
if(countx==COUNT_X)
begin
xen<=1'b1;
countx<=16'h0;
county<=county+1'b1;
if(county==COUNT_Y)
county<=1'b0;
end
end
end
```

为模拟线阵 CCD 推扫成像动态滚动特性,采用 FPGA 内部逻辑生成自校图形。并且图形灰度等级明显变化。图 5 为自校图形原理图,clkin 像素时钟驱动像素输出,行输入使能信号 len 高电平使能,根据列竖条类型计数值 CountG 和行计数值 CountB 改变图像灰度值。其中在某一竖条类型情况下,利用 CountS 控制竖条的间距,与 CountG 完成不同灰度间隔的竖条类型^[12]。主要

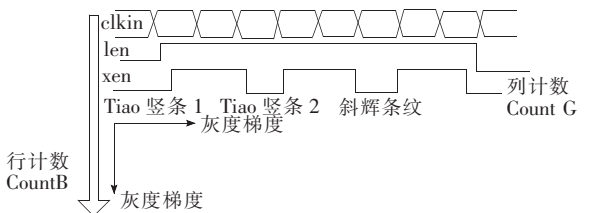


图 5 自校图形设计原理图

Fig. 5 Principle of self-check figure design

程序代码如下。

```
case(Count_G)
2'd0: //选择竖条 1
begin
    if(CountS==3) CountS=5'h00;
    else
    begin
        CountS=CountS+1;
    end
end
if(CountS>1) tiao=1;
else tiao=0;
end
2'd1: //选择竖条 2
.....
if(tiao==1) //竖条对比度
figure_out=10'b0000010000;
else
figure_out=10'b1000000000;
```

```
.....
if(CountB[8]==1) //y 方向灰度
begin
figure_out=Figure_D+10'b0100000000;
end
else if(CountB[7]==1)
begin
figure_out=Figure_D+10'b0010000000;
end
.....
else
figure_out=10'b0000000001;
```

5 实验仿真及测试结果

采用 modelsim 对自校图形程序仿真如图 6 所示,在 len 使能信号有效情况下,image_data 记录行像素数,figure_out 输出 10 位灰度图像,且按照设计那样灰度梯度变化。

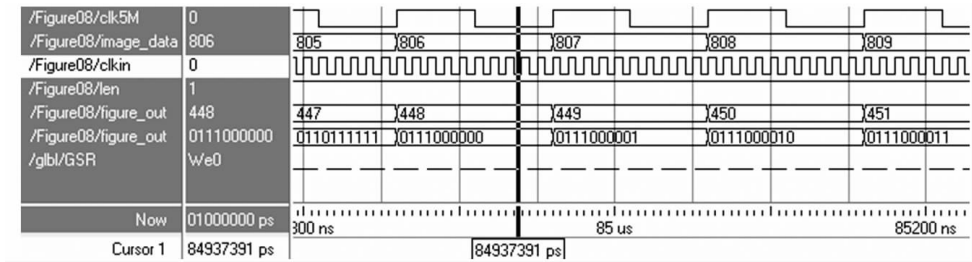


图 6 灰度渐变逻辑仿真图
Fig. 6 Logic simulation of gray variation

将输出的自校图像通过 Camera Link 接口连接到 DALSA 采集卡查看图像,图像显示如图 7 所示。可以看到图像灰度斜条纹以及竖条纹。

验证图像压缩模拟源模拟相机电子学系统功能,通过 USB 接口下载到 FLASH 中的上位机标准遥感图像,通过 Camera Link 接口连接到 DALSA 采集卡查看图像,图像显示如图 8 所示。可以看到两种图像完全一样,无明显失真。



图 7 经 Camera Link 接口显示的自校图像
Fig. 7 Self-check figure from CameraLink interface



(a)上位机下载的原遥感图像



(b)经 Camera Link 接口显示的遥感图像

图 8 两种图像的效果显示
Fig. 8 Impression of two pictures

为了验证测试 USB 下载速度,选取一幅 80 Mbyte 遥感图像分别下载到 1 个、5 个 10 个和 20 个通道中,速度测试如表 1 所示,可见下载速度平均在 40 Mbyte/s,与 60 Mbyte/s 的速度有差距,这是因为理论速度算上 USB 指令下载时间,且在

表 1 USB 下载速度测试

Table 1 Test for speed of USB download

下载通道总数	USB 下载速度/(Mbyte · s ⁻¹)
1	42
5	40
10	38
20	39

实际应用时采用了 CYPRESS 的自带驱动,数据包缓存较小,40 Mbyte/s 的速度比较理想。

为了验证模拟源图像输出的稳定性,改变图像输出行频,行频改变范围 0.7~1.3 kHz,在 0.7 kHz,1.0 kHz,1.2 kHz 和 1.3 kHz 4 种行频下,同步串行 LVDS 接口、高速串行 Gbps 接口输出图像数据与原图像数据进行对比,无数据丢失及误码产生,具有很好的稳定性。两种接口与实时压缩系统相连,经过测试具有很好的兼容性和可靠性。实验表明该图像压缩模拟源满足相机电子学系统联试要求,完全模拟 CCD 相机图像输出,并且具有很好的可靠性和稳定性。硬件实物如图 9 所示。

6 结 论

设计了一套空间相机模拟源系统,采用 USB 接口进行图像下载。同时利用 FPGA 内部逻辑生成自校图形。采用同步串行 LVDS 接口和高速 Gbps 接口,确保了数据与地面相机实时压缩存储单元的高速传输。采用 FPGA 进行编程调整图像输出行速率、大小,具有很强的设计灵活性。实验证明该系统性能稳定可靠、可维护性,奠定了硬件基础,在为空间相机的研究提供了行之有效的测试手段。

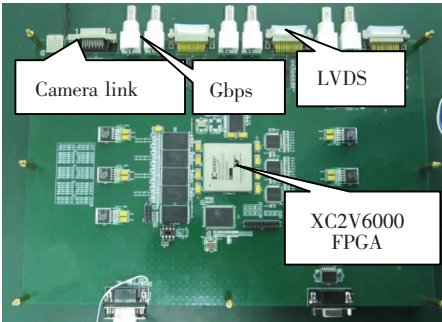


图 9 硬件电路板实物图

Fig. 9 Hardware of platform

参 考 文 献:

[1] 张贵祥,金光,郑亮亮,等. 高速多通道 CCD 图像数据处理与传输系统设计 [J]. 液晶与显示,2011,26(3):397-403.

[2] 魏鹏. JPEG2000 星载图像压缩设备中的若干关键技术研究 [D]. 长沙:国防科学技术大学研究生院,2007.

[3] 张林勇. 基于 USB 与 FPGA 的视频采集系统的设计 [D]. 西安:西安电子科技大学,2011.

[4] Cypress Semiconductor Corporation. EZ-USB FX2LP [TM] USB Microcontroller [EB/OL]. [2005-02-01]. <http://comsec.com/usrp/CY7C68013.pdf>.

[5] Samsung. K9XXG08UXA [EB/OL]. [2006-7-18]. http://ams.cern.ch/AMS/DAQ/specs/ds_k9xxg08uxa_rev11.pdf.

[6] 王骞,丁铁夫. 高速图像存储系统中 SDRAM 控制器的实现 [J]. 液晶与显示,2006,21(1):48-51.

[7] Micron Technology, Inc. Synchronous Dram [EB/OL]. [2002-3-02]. <http://download.micron.com/pdf/datasheets/256MSDRAM.pdf>.

[8] 董琰,彭琦,李健,等. 基于 Camera Link 协议的 CCD 图像采集系统 [J]. 吉林大学学报,2010,28(4):372-376.

[9] Texas Instruments. TLK2711 1.6 TO 2.7 GBPS TRANSCEIVER [EB/OL]. [2001-09-01]. <http://www.datasheetcatalog.org/datasheet/texasinstruments/tlk2711.pdf>.

[10] 张达,徐抒岩. 基于 TLK2711 的高速图像数据串行传输系统 [J]. 电子设计,2009,25(1):287-286.

[11] 薛盼盼,王晓东,刘文光,等. 空间遥感仪器便携式数据采集试验系统研究 [J]. 液晶与显示,2012,21(2):257-262.

[12] 王文华,何斌,任建岳. 线阵 CCD 成像系统自校图形设计 [J]. 光学精密工程,2009,17(8):2011-2016.